

P24304.P04

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Hong-Jae SHIN et al.

Serial No. : Not Yet Assigned

Filed : Concurrently Herewith

For : ORGANIC LIGHT EMITTING DEVICE DISPLAY DRIVING APPARATUS AND
THE METHOD THEREOF

CLAIM OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

Applicant hereby claims the right of priority granted pursuant to 35 U.S.C. 119 based upon Korean Application No. 10-2002-0075470, filed November 29, 2002. As required by 37 C.F.R. 1.55, a certified copy of the Korean application is being submitted herewith.

Respectfully submitted,
Hong-Jae SHIN et al.

 Reg. No. 29,027
33,329

September 23, 2003
GREENBLUM & BERNSTEIN, P.L.C.
1950 Roland Clarke Place
Reston, VA 20191
(703) 716-1191

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0075470
Application Number

출원 년 월 일 : 2002년 11월 29일
Date of Application NOV 29, 2002

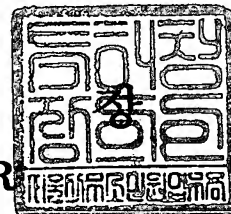
출원인 : 하나 마이크론(주)
Applicant(s) HANA MICRON CO., LTD.



2003 년 05 월 30 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.11.29
【발명의 명칭】	유기 전기 발광 다이오드 디스플레이 패널 구동 장치 및 방법
【발명의 영문명칭】	organic light emitting diode display panel driving apparatus and the method thereof
【출원인】	
【명칭】	하나 마이크론(주)
【출원인코드】	1-2002-021170-9
【대리인】	
【성명】	박승문
【대리인코드】	9-1999-000536-0
【포괄위임등록번호】	2002-041383-8
【대리인】	
【성명】	조용식
【대리인코드】	9-1999-000634-5
【포괄위임등록번호】	2002-041384-5
【대리인】	
【성명】	김정국
【대리인코드】	9-1999-000498-8
【포괄위임등록번호】	2002-041386-0
【발명자】	
【성명의 국문표기】	신흥재
【성명의 영문표기】	SHIN,Hong Jae
【주민등록번호】	710105-1029617
【우편번호】	139-764
【주소】	서울특별시 노원구 상계9동 주공아파트 1421-402
【국적】	KR
【발명자】	
【성명의 국문표기】	곽계달
【성명의 영문표기】	KWACK,Kae DaI

【주민등록번호】	500213-1053019		
【우편번호】	110-804		
【주소】	서울특별시 종로구 구기동 154-3 건덕빌라 B-201호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박승문 (인) 대리인 조용식 (인) 대리인 김정국 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	15	면	15,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	12	항	493,000 원
【합계】	537,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】

【요약】

본 발명은 수동 매트릭스 방식의 OLED 디스플레이 패널 구동 장치에서 스캔 구동회로가 3상태 출력을 갖도록 구성하고, 스캔 구동회로가 스캔 동작을 할 때, 선택된 캐소드 라인은 접지를 유지하여 데이터가 인가된 OLED가 발광을 하고 고전압 상태로 스위칭하여 픽셀의 전하를 초기화하는 리프레시 동작을 한 후, 고임피던스 상태를 유지하는 동작을 하여 비선택 공통 캐소드 라인을 고임피던스 상태로 하여 기생 캐패시턴스 성분을 제거함으로써 OLED의 애노드 라인에 연결된 데이터 구동회로의 부하로 작용하는 커패시턴스 성분을 낮추어, 전압원을 사용하여 빠른 시간안에 애노드라인을 일정전압이상으로 유지시킨 후 전류원을 사용하여 데이터를 인가하는 프리차지 방법을 사용하지 않으면서, OLED가 발광에 필요한 전류만으로도 애노드 라인을 짧은 시간안에 충전시킬 수 있도록 하여 데이터 구동회로의 소비 전력을 낮추고 동작 속도를 증가시킬 수 있도록 한 OLED 디스플레이 패널 구동 장치 및 방법을 제공한다.

【대표도】

도 5

【색인어】

유기, OLED, 수동, 프리차지, 고임피던스, 플로팅, 커패시턴스

【명세서】**【발명의 명칭】**

유기 전기 발광 다이오드 디스플레이 패널 구동 장치 및 방법{organic light emitting diode display panel driving apparatus and the method thereof}

【도면의 간단한 설명】

- 도 1은 종래의 프리차지 방식의 OLED 패널 구동 장치의 개략 블록 구성도,
도 2는 도 1에서 1개의 공통 캐소드 라인에 대한 스캔 출력부를 보인 상세 회로도,
도 3은 도 1에서 1개의 공통 애노드 라인에 대한 데이터 출력부를 보인 상세 회로도,
도 4는 종래의 프리차지 방식의 OLED 패널 구동 장치에서 화면 1 프레임에 대한 스캔출력 타이밍과 각 스캔출력 구간에서의 프리차지 구간 및 데이터출력 구간과의 관계를 보인 타이밍 차트,
도 5는 본 발명의 OLED 패널 구동 장치의 개략 블록 구성도,
도 6은 도 5에서 1개의 공통 캐소드 라인에 대한 스캔 출력부를 보인 블록 구성도,
도 7은 도 6의 상세 회로도,
도 8은 도 5에서 1개의 공통 애노드 라인에 대한 데이터 출력부를 보인 블록 구성도,
도 9는 본 발명의 OLED 패널 구동 장치의 전체 블록 구성도,
도 10은 도 9에서 스캔 구동회로의 일 실시예에 따른 상세 회로도,

도 11은 본 발명의 OLED 패널 구동 방법을 설명하기 위한 스캔 구동회로와 데이터 구동회로의 동작 타이밍도이다.

*** 도면의 주요 부분에 대한 부호의 설명 ***

10: OLED 디스플레이 패널, 12: OLED,

20, 20': 데이터 구동회로, 22, 22': 데이터 출력부,

26: PWM 발생부, 28: 시프트 레지스터/래치부,

30, 30': 스캔 구동회로, 32, 32': 스캔 출력부,

36: 제어 로직부, 38: 시프트 레지스터부,

40: OLED 제어회로,

D: 다이오드, C: 기생 캐패시터,

PMT1 - PMT4: PMOSFET, NMT1, NMT2: NMOSFET

LS1 - LS3: 레벨시프터, CC: 정전류원,

V_H : 고전압단, V_{PRE} : 프리차지 전압단,

S_1, \dots, S_n : 공통 캐소드 라인, D_1, \dots, D_m : 공통 애노드 라인,

S_y : 임의의 공통 캐소드 라인, D_x : 임의의 공통 애노드 라인,

SR_1, \dots, SR_n : 시프트 레지스터, $XNOR_1, \dots, XNOR_n$: XNOR 게이트

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<26> 본 발명은 유기 전기 발광 다이오드(OLED) 디스플레이 패널 구동 장치에 관한 것으로, 특히 수동 매트릭스 방식의 OLED 디스플레이 구동 장치에서 스캔 구동회로가 3상태 출력을 갖도록 구성하여 구동 장치의 소비 전력을 낮추고 동작 속도를 증가시킬 수 있도록 한 OLED 디스플레이 패널 구동 장치 및 방법에 관한 것이다.

<27> TV, 컴퓨터 또는 휴대 전화의 영상 표시 장치로 액정 디스플레이가 널리 사용되고 있는 바, 이러한 액정 디스플레이는 백라이트를 필요로 하기 때문에 무거울 뿐만 아니라 두껍고, 응답 속도가 느리다는 단점이 있다. 이러한 디스플레이를 대체하는 차세대 영상 표시 장치로 주목을 받는 것으로 유기 전기 발광 다이오드(Organic Light Emitting Diode) 디스플레이 패널(이하, 약칭하여 'OLED 패널'이라 한다)이 있다. OLED 패널은 $0.1[\mu\text{m}]$ 이하의 극히 얇은 유기 박막을 포함하고 있다. 이러한 유기 박막에 전류를 흘리면 그 전자 수송층(Electron Transport Layer)과 정공 수송층(Hole Transport Layer)의 계면 근처에서 전자·정공이 재결합하여 발광하게 되는데, 이 발광은 수백[ns] 이하의 극히 빠른 응답 시간을 갖고 있다. 이와 같이, OLED는 무기 발광 다이오드와 마찬가지로 애노드와 캐소드의 2극 구조로 이루어져 있는데, 패널을 구성하는 개별 OLED의 전압-전류 특성의 차이로 인해 전류 구동을 하게 된다.

<28> 도 1은 종래의 프리차지 방식의 OLED 패널 구동 장치의 개략 블록 구성도이다. 도 1에 도시한 바와 같이, OLED 패널(10)은 다수의 공통 애노드 라인(D1,...Dm)과 다수의

공통 캐소드 라인(S_1, \dots, S_n)이 격자 형상으로 배치되고, 이러한 격자의 각 교차점에 화소(실제로는 1쌍의 R/G/B를 1개의 화소로 구성하고 있다)를 구성하는 OLED(12)가 배치되어 이루어진다. 또한, 공통 애노드 라인(D_1, \dots, D_m)에는 데이터 구동회로(20)가 연결되고, 공통 캐소드 라인(S_1, \dots, S_n)에는 스캔 구동회로(30)가 연결되어 있다.

<29> 스캔 구동회로(30)는 기능적으로 도시하지 않은 제어부의 제어에 따라 공통 캐소드 라인(S_1, \dots, S_n)을 고전압(예를 들어 15[V])단(V_H)과 접지단에 미리 정해진 패턴으로 선택적으로 연결하는 스캔 출력부(32)를 포함하여 이루어진다. 도 2는 도 1에서 1개의 공통 캐소드 라인에 대한 스캔 출력부를 보인 상세 회로도이다. 도 2에 도시한 바와 같이, 스캔 출력부(32)는 도시하지 않은 외부 제어부(미도시)로부터의 제어신호(C_{SCAN})의 논리 레벨에 따라 공통 캐소드 라인(S_y)을 고전압단(V_H) 또는 접지단(GND)에 선택적으로 연결한다.

<30> 도 3은 도 1에서 1개의 공통 애노드 라인에 대한 데이터 출력부를 보인 상세 회로도이다. 도 3에 도시한 바와 같이, 데이터 출력부(22)도 기능적으로 도시하지 않은 제어부의 제어에 따라 개개의 공통 애노드 라인(D_1, \dots, D_m)을 정전류원(CC) 또는 접지단(GND)에 선택적으로 연결한다.

<31> 전술한 구성에서, 스캔 출력부(32)가 순차적으로 온/오프되면서 제1열(S_1)부터 제n열(S_n)까지의 공통 캐소드 라인을 선택하면, 데이터 출력부(22)는 이에 동기하여 해당 화소, 즉 OLED(12)에 대한 계조(Gray Scale)에 따라 PWM(Pulse Width Modulation) 방식에 의해 달리 정해지는 시간폭 동안 공통 애노드 라인(D_1, \dots, D_m)을 정전류원(CC) 측으로 연결하여 해당 OLED(12)에 전류를 인가함으로써 1개의 화면 프레임을 형성하게 된다.

<32> 한편, OLED(12)는 유기 박막으로 이루어져 있기 때문에 다이오드(D)의 애노드와 캐소드의 양단에 기생 캐패시터(C)가 존재하게 되는데, 이러한 기생 캐패시터(C)로 인해 낮은 계조 처리를 행하지 못하는 문제가 있어서 종래에는 공통 애노드 라인(D1,...Dm)에 PWM 전류를 인가하기 전에 다이오드(D)가 턴온될 수 있는 정도의 전압을 인가하여 기생 캐패시터(C)를 미리 충전(Precharging)시키게 된다. 그리고, 이를 위해 데이터 출력부(22)에는 소정 전압, 예를 들어 4-6[V] 정도의 프리차지 전압단(V_{PRE})이 더 구비되게 된다.

<33> 도 4는 종래의 프리차지 방식의 OLED 패널 구동 장치에서 화면 1 프레임에 대한 스캔출력 타이밍과 각 스캔출력 구간에서의 프리차지 구간 및 데이터출력 구간과의 관계를 보인 타이밍 차트이다. 도 4에 도시한 바와 같이 수직동기신호(V_{sync})는 화면의 1프레임마다 발생하는데, 이러한 수직동기신호(V_{sync}) 사이의 수직주사구간에 공통 캐소드 라인의 개수(n) 만큼의 수평동기신호(H_{sync})가 발생하며, 수평동기신호(H_{sync}) 사이의 수평주사구간에 모든 공통 애노드 라인(D1,...Dm)에 동시에 데이터가 인가된다. 즉, 각 수평동기신호(H_{sync})의 하강 에지에 동기하여 발생하는 외부 제어신호(CSCAN)에 따라 스캔출력부(32)가 제1열의 공통 캐소드 라인(S1)을 고전압단(V_H)에서 접지단(GND)으로 연결시킨다면, 이에 동기한 외부 제어신호(Precharge)의 제어에 따라 데이터출력부(22)는 미리 정해진 시간 동안 모든 공통 애노드 라인(D1,...Dm)을 프리차지 전압단(V_{PRE})에 연결시켜서 OLED(12)의 기생 캐패시터(C)를 충전시킨다. 이후, 외부 제어신호(PWM)의 제어에 따라 데이터 출력부(22)가 각각의 공통 애노드 라인(D1,...Dm)을 여기에 연결된 OLED(12)의 화소 계조에 따라 정해진 PWM 시간 동안 정전류원(CC)에 연결시킴으로써 OLED(12)를 발광시킨다. 이후에 다시 데이터출력부(22)가 외부 제어신호(Reset)의 제어에 따라 공통

애노드 라인(D1,...,Dm)을 접지단(GND)에 연결시킴으로써 기생 캐패시터(C)에 충전된 전압을 방전시키게 된다. 그리고, 이와 같은 방식으로 제n열까지의 공통 캐소드 라인(Sn)에 대한 동작을 수행하여 화면 1 프레임이 구성되게 된다.

<34> 그러나, 전술한 바와 같은 종래의 프리차지 방식의 OLED 패널 구동 장치에 따르면, 데이터출력부(22)가 공통 애노드 라인(D1,...,Dm)을 동작시키는 과정에서 여기에 병렬로 연결된 모든 기생 캐패시터(C)가 반복적으로 충전 및 방전(결과적으로 OLED 양단 전압의 극성이 반전)되기 때문에 OLED 패널(10)에 큰 값의 전류가 흐르게 되는데, 이에 따른 소비전력은 아래의 수학적 식 1과 같다.

<35> **【수학적 식 1】**
$$P_d = n * m * C * V_H^2 * f_{clk}$$

<36> 위의 수학적 식 1에서 n은 공통 캐소드 라인의 수를, m은 공통 애노드 라인의 수를, C는 기생 캐패시턴스를, V_H 는 애노드에 인가되는 고전압을, f_{clk} 는 스캔 구동회로(30)의 동작 주파수를 각각 나타낸다. 수학적 식 1에서 알 수 있는 바와 같이, 종래의 OLED 패널 구동 장치에서는 기생 캐패시터의 충전-방전시 큰 값의 전류가 필요하기 때문에 소비 전력이 상승하며, 데이터 구동회로의 동작 속도도 저하되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<37> 본 발명은 전술한 문제점을 해결하기 위해 안출된 것으로서, 수동 매트릭스 방식의 OLED 패널 구동 장치에서 스캔 구동회로가 적어도 스캔 상태 및 고임피던스 상태의 2상태 출력을 갖도록 구성하고, 비선택 공통 캐소드 라인을 고임피던스 상태로 하여 기생 캐패시턴스 성분을 제거함으로써 소비 전력을 낮추고 동작 속도를 증가시킬 수 있도록 한 OLED 패널 구동 장치 및 방법을 제공하는데 그 목적이 있다.

<38> 본 발명의 다른 목적은 상기 스캔 구동회로가 고전압 상태, 스캔 상태 및 고임피던스 상태의 3상태 출력을 갖도록 구성하고, 비선택 공통 캐소드 라인을 고임피던스 상태로 만들기 전에 먼저 고전압 상태로 하여 기생 캐패시턴스의 극성을 반전시킴으로써 OLED의 양단이 같은 극성을 계속 유지함에 따른 열화를 방지할 수 있도록 한 OLED 패널 구동 장치 및 방법을 제공하는데 있다.

<39> 전술한 목적을 달성하기 위한 본 발명의 OLED 패널 구동 장치는 격자 형상으로 배치된 다수의 공통 애노드 라인과 다수의 공통 캐소드 라인의 각 교차점에 화소를 구성하는 OLED가 배치되어 이루어진 OLED 패널 구동 장치에 있어서, 상기 다수의 공통 애노드 라인에 연결되고, 상기 공통 애노드 라인의 각각을 소정의 정전류원 또는 고임피던스단(HIZ)에 선택적으로 연결하는 다수의 데이터 출력부를 갖는 데이터 구동회로 및 상기 다수의 공통 캐소드 라인에 연결되고, 상기 공통 캐소드 라인의 각각을 적어도 고임피던스단(HIZ) 또는 접지단에 선택적으로 연결하는 다수의 스캔 출력부를 갖는 스캔 구동회로를 포함하여 이루어진 것을 특징으로 한다. 전술한 구성에서, 상기 스캔 출력부는 고전압단을 더 구비하여 상기 공통 캐소드 라인의 각각을 상기 고전압단, 상기 고임피던스단(HIZ) 또는 접지단에 선택적으로 연결하도록 하는 것이 바람직하다.

<40> 또한, 접지단에 선택적으로 연결하는 다수의 데이터 출력부를 갖는 데이터 구동회로를 포함하여 이루어진 것을 특징으로 한다. 전술한 구성에서, 상기 장치는 수평동기신호, 수직동기신호 및 디스플레이될 데이터 신호를 포함하는 각종 신호를 발생시키는 OLED 제어회로를 더 구비하여 이루어진다.

<41> 한편, 상기 스캔 구동회로는 상기 스캔 출력부; 상기 공통 캐소드 라인에 대한 스캔 제어신호(C_{SCAN})를 발생시키는 시프트 레지스터부 및 상기 시프트 레지스터부에서 제공되는 상기 스캔 제어신호(C_{SCAN})를 논리적으로 처리하여 고임피던스 제어신호(C_{HIZ})를 발생시킨 후에 상기 스캔 출력부에 제공하는 제어 로직부를 포함하여 이루어질 수 있다.

<42> 상기 스캔 출력부는, 입력단이 상기 고임피던스 제어신호단(C_{HIZ})에 연결된 인버터 게이트; 일측 입력단에 상기 스캔 제어신호단(C_{SCAN})이 연결되고, 다른 일측 입력단에는 상기 고임피던스 제어신호단(C_{HIZ})이 연결된 노어 게이트; 일측 입력단에 상기 스캔 제어신호단(C_{SCAN})이 연결되고, 다른 일측 입력단에는 상기 인버터 게이트의 출력단이 연결된 낸드 게이트; 상기 낸드 게이트의 출력단에 연결되어 논리 레벨을 상기 고전압 레벨로 변환시키는 제1 레벨시프터; 상기 노어 게이트의 출력단에 연결되어 논리 레벨을 상기 고전압 레벨로 변환시키는 제2 레벨시프터; 상기 제1 레벨시프터에 게이트가 연결되고 소스는 상기 고전압단에 연결된 제1 PMOSFET 및 상기 제2 레벨시프터에 게이트가 연결되고 드레인은 상기 제1 PMOSFET의 드레인에 연결되며 소스는 접지된 NMOSFET를 포함하여 이루어지며, 상기 공통 캐소드 라인은 상기 제1 PMOSFET와 상기 제1 NMOSFET의 드레인에 연결된다.

<43> 또한, 상기 시프트 레지스터부는, 상기 공통 캐소드 라인의 개수만큼의 시프트 레지스터가 연결되어 이루어지며, 상기 시프트 레지스터 중 제1열의 시프트 레지스터의 데이터 입력단에는 상기 수직동기신호가 제공되고, 상기 시프트 레지스터 모두의 클럭단에는 상기 수평동기신호가 제공되며, 상기 시프트 레지스터의 임의 열의 출력은 상기 스캔 출력부의 해당 열의 스캔 제어신호단(C_{SCAN})에 연결됨과 더불어 차열의 시프트 레지스터의 데이터 입력단에 연결된다.

- <44> 또한, 상기 제어 로직부는 상기 공통 캐소드 라인의 개수만큼의 2입력 XNOR 게이트를 포함하여 이루어지고, 상기 XNOR 게이트의 각각의 일측 입력단은 해당 열의 상기 시프트 레지스터의 출력단에 연결되고, 각각의 타측 입력단은 차열의 상기 시프트 레지스터의 출력단에 연결되고, 출력단은 상기 스캔 출력부의 해당 열의 상기 고임피던스 제어 신호단(C_{HIZ})에 연결된다.
- <45> 또한, 상기 데이터 구동회로는, 상기 데이터 출력부; 상기 OLED 제어회로부터의 제어신호에 따라 상기 공통 애노드 라인에 인가될 데이터를 순차적으로 시프트시켜 저장하는 시프트 레지스터/래치부 및 상기 시프트 레지스터/래치부에서 제공되는 데이터를 상기 데이터의 계조 레벨에 따라 다른 시간폭을 갖는 제어신호(PWM)로 변환한 후에 상기 데이터 출력부에 제공하는 PWM 발생부를 포함하여 이루어질 수 있다.
- <46> 또한, 데이터 출력부는, 전류미러 회로를 구성하는 제2 및 제3의 PMOSFET; 상기 PWM 발생부로부터 제공되는 상기 제어신호(PWM)의 논리 레벨을 상기 고전압 레벨로 변환하는 제3 레벨시프터 및 상기 제3 레벨시프터에 의해 온/오프되어 상기 공통 애노드 라인을 상기 정전류원 및 상기 고임피던스단(HIZ)에 선택적으로 연결하는 제4 PMOSFET를 포함하여 이루어질 수 있다.
- <47> 또한, 상기 제4 PMOSFET가 오프된 상태에서 외부 제어신호(Reset)에 의해 온되어 상기 공통 애노드 라인을 접지시키는 제2 NMOSFET를 더 포함시킬 수도 있다.
- <48> 본 발명의 다른 특징에 따른 OLED 패널 구동 방법은 격자 형상으로 배치된 다수의 공통 애노드 라인과 다수의 공통 캐소드 라인의 각 교차점에 화소를 구성하는 OLED가 배치되어 이루어진 OLED 패널의 구동 방법에 있어서, 상기 공통 캐소드 라인을 접지 레벨

(GND)로 전환하여 순차적으로 스캔하는 동안 디스플레이될 화소 데이터의 제조 레벨에 따라 다른 시간폭을 갖는 제어신호(PWM)에 의해 상기 공통 애노드 라인에 정전류를 인가하는 과정에서, 현재 스캔되는 열을 제외한 나머지 열의 공통 캐소드 라인은 고임피던스 상태로 유지시키는 것을 특징으로 한다.

<49> 전술한 구성에서, 상기 현재 스캔되는 열의 바로 전 열을 고전압단에 연결시키면 기생 캐패시턴스의 극성을 반전시킬 수 있어서 OLED의 열화를 방지할 수 있다.

【발명의 구성 및 작용】

<50> 이하에는 첨부한 도면을 참조하여 본 발명의 바람직한 실시예에 따른 OLED 패널의 구동 장치 및 방법에 대해 상세하게 설명한다.

<51> 도 5는 본 발명의 OLED 패널 구동 장치의 개략 블록 구성도이다. 도 5에 도시한 바와 같이, OLED 패널(10)은 다수의 공통 애노드 라인(D1,...Dm)과 다수의 공통 캐소드 라인(S1,...,Sn)이 격자 형상으로 배치되고, 이러한 격자의 각 교차점에 화소를 구성하는 OLED(12)가 배치되어 이루어진다. 공통 애노드 라인(D1,...Dm)에는 데이터 구동회로(20')가 연결되고, 공통 캐소드 라인(S1,...,Sn)에는 스캔 구동회로(30')가 연결되어 있다.

<52> 스캔 구동회로(30')는 기능적으로 도시하지 않은 제어부의 제어에 따라 공통 캐소드 라인(S1,...,Sn)을 고전압(예를 들어 15[V])단(V_H), 고임피던스단(HIZ) 및 접지단(GND)에 미리 정해진 패턴으로 선택적으로 연결하는 스캔 출력부(32')를 포함하여 이루어진다. 여기에서, 고전압단(V_H)은 기생 캐패시터의 극성, 즉 OLED(12) 양단 전압의 극

성을 반전시킴으로써 OLED(12)의 양단이 계속 같은 극성으로 유지되는데 따라 OLED(12)가 열화되는 것을 방지하기 위해 주어지는 바, 그 동작에 대해서는 후술한다.

<53> 도 6은 도 5에서 1개의 공통 캐소드 라인에 대한 스캔 출력부를 보인 블록도이다. 도 6에 도시한 바와 같이, 각각의 스캔 출력부(32')는 입력단이 고임피던스 제어신호단(CHIZ)에 연결된 인버터 게이트(INV), 일측 입력단에 스캔 제어신호단(CSCAN)이 연결되고, 다른 일측 입력단에는 고임피던스 제어신호단(CHIZ)이 연결된 노어 게이트(NOR), 일측 입력단에 스캔 제어신호단(CSCAN)이 연결되고, 다른 일측 입력단에는 인버터 게이트(INV)의 출력단이 연결된 낸드 게이트(NAND), 낸드 게이트(NAND)의 출력단에 연결되어 그 논리 레벨(Vcc)을 고전압 레벨(V_H)로 변환시키는 제1 레벨시프터(LS1), 노어 게이트(NOR)의 출력단에 연결되어 그 논리 레벨(Vcc)을 고전압 레벨(V_H)로 변환시키는 제2 레벨시프터(LS2), 제1 레벨시프터(LS1)에 게이트가 연결되고 소스는 고전압단(V_H)에 연결된 PMOSFET(PMT1) 및 제2 레벨시프터(LS2)에 게이트가 연결되고 드레인은 PMOSFET(PMT1)의 드레인에 연결되며 소스는 접지된 NMOSFET(NMT1)를 포함하여 이루어지며, 공통 캐소드 라인(S_y)은 PMOSFET(PMT1)와 NMOSFET(NMT1)의 드레인에 연결되어 있다.

<54> 전술한 구성에서, 외부의 제어부(미도시)에서 스캔 제어신호단(CSCAN)과 고임피던스 제어신호단(CHIZ)에 각각 논리 "0"의 신호를 출력하면 낸드 게이트(NAND)와 노어 게이트(NOR)에서는 각각 논리 "1"의 신호가 출력되고, 이러한 논리 "1" 신호는 제1 레벨시프터(LS1)와 제2 레벨시프터(LS2)에서 고전압 레벨(V_H)로 변환되고, 이에 따라 PMOSFET(PMT1)는 오프되는 반면에 NMOSFET(NMT1)는 온되어 공통 캐소드 라인(S_y)은 접지단(GND)에 연결되게 된다.

<55> 그리고, 스캔 제어신호단(C_{SCAN})에 논리 "1"의 신호가 출력되고 고임피던스 제어신호단(C_{HIZ})에 논리 "0"의 신호가 출력되면, 낸드 게이트(NAND)와 노어 게이트(NOR)에서는 각각 논리 "0"의 신호가 출력되고, 이러한 논리 "0"의 신호는 제1 레벨시프터(LS1)와 제2 레벨시프터(LS2)에서 저전압 레벨로 변환되고, 이에 따라 PMOSFET(PMT1)는 온되는 반면에 NMOSFET(NMT1)는 오프되어 공통 캐소드 라인(S_y)은 고전압단(V_H)에 연결되게 된다.

<56> 한편, 고임피던스 제어신호단(C_{HIZ})에 논리 "1"의 신호가 출력되면 스캔 제어신호단(C_{SCAN})에 입력되는 논리 신호의 레벨에 관계없이 낸드 게이트(NAND)에서는 논리 "1"의 신호가 출력되는 반면에 노어 게이트(NOR)에서는 논리 "0"의 신호가 출력된다. 이에 따라 PMOSFET(PMT1)와 NMOSFET(NMT1)가 모두 오프되어 공통 캐소드 라인(S_y)은 기능적으로 고임피던스단(HIZ)에 연결된 상태, 즉 플로팅(floating) 상태로 있게 된다. 이를 진리표로 나타내면 아래의 표 1과 같다.

<57> 【표 1】

C _{SCAN}	C _{HIZ}	V _{NAND}	V _{NOR}	PMOSFET	NMOSFET	S _y
0	0	1	1	Off	On	GND
1	0	0	0	On	Off	V _H
0	1	1	0	Off	Off	HIZ
1	1	1	0	Off	Off	HIZ

<58> 도 7은 도6에 도시한 스캔 출력부의 상세 회로도이다.

<59> 한편, 데이터 출력부(22')도 기능적으로 도시하지 않은 제어부의 제어에 따라 개개의 공통 애노드 라인(D1,...Dm)을 정전류원(CC)과 고임피던스단(HIZ)에 선택적으로 연결시키게 된다. 도 8은 도 5에서 1개의 공통 캐소드 라인에 대한 데이터 출력부를 보인 상세 회로도이다. 도 8에 도시한 바와 같이, 데이터 출력부(22')는 전류미러 회로를 구성

하는 2개의 PMOSFET(PMT2),(PMT3), 전류미러 회로에 연결된 정전류원(CC), 외부 제어신호(PWM)의 논리 레벨을 고전압 레벨(V_H)로 변환하는 제3 레벨시프터(LS3) 및 제3 레벨시프터(LS3)에 의해 온/오프되어 공통 애노드 라인(D_x)에 정전류를 인가하는 PMOSFET(PMT4)를 포함하여 이루어진다. 본 도에서, 참조부호 NMT2는 PMOSFET(PMT4)가 오프된 상태에서 필요시 외부 제어신호(Reset)에 의해 온되어 공통 애노드 라인(D_x)을 접지시키는 NMOSFET를 나타낸다.

<60> 도 9는 본 발명의 OLED 패널 구동 장치의 상세 블록 구성도이다. 도 9에 도시한 바와 같이, 본 발명의 OLED 패널 구동 장치는 크게 스캔 구동회로(20'), 데이터 구동회로(30') 및 스캔 구동회로(20')와 데이터 구동회로(30')에 각종 클럭신호(PWM CLK, Data CLK 등)와 데이터(Display Data 등) 및 제어신호(Vsync, Hsync 등)를 출력하는 OLED 제어 회로(40)를 포함하여 이루어질 수 있다.

<61> 전술한 구성에서, 데이터 구동회로(20')는 전술한 데이터 출력부(22'; 당업계에서의 통상적인 표현에 따라 본 도면에서는 이를 "전류 출력부"라 기재한다), OLED 제어회로(40)에서 제공되는 데이터 클럭신호(data CLK)에 동기하여 역시 OLED 제어회로(40)에서 제공되는 R,G,B 화면 데이터(Display Data), 즉 궁극적으로 공통 애노드 라인(D_1, \dots, D_m)에 인가될 데이터를 순차적으로 시프트시켜 저장하는 시프트 레지스터/래치부(28) 및 시프트 레지스터/래치부(28)에서 제공되는 데이터를 그 계조 레벨에 따라 다른 시간폭을 갖는 신호로 변환한 후에 데이터 출력부(22')에 제공하는 PWM 발생부(26)를 포함하여 이루어질 수 있다. OLED 제어회로(40)에서는 이를 위해 PWM 발생부(26)에 PWM 클럭신호(PWM CLK)를 제공하고 있다.

<62> 한편, 스캔 구동회로(30')는 전술한 스캔 출력부(32'; 당업계에서의 통상적인 표현에 따라 본 도면에서는 "고전압 출력버퍼부"라 기재하고 있다), OLED 제어회로(40)에서 제공되는 수평동기신호(Hsync)에 따라 선택될 공통 캐소드 라인(S_1, \dots, S_n)에 대한 스캔 제어신호(C_{SCAN})를 발생시키는 시프트 레지스터부(38) 및 시프트 레지스터부(38)에서 제공되는 스캔 제어신호(C_{SCAN})를 논리적으로 처리하여 스캔 제어신호(C_{SCAN})와 고임피던스 제어신호(C_{HIZ})를 발생시켜 스캔 출력부(22')에 제공하는 제어 로직부(36)를 포함하여 이루어질 수 있다.

<63> 도 10은 도 9에서 스캔 구동회로의 일 실시예에 따른 상세 회로도이다. 도 10에 도시한 바와 같이, 시프트 레지스터부(38)는 공통 캐소드 라인의 수(n)만큼의 단위 시프트 레지스터(SR_1, \dots, SR_n)가 직렬로 연결되어 이루어지는데, 모든 시프트 레지스터(SR_1, \dots, SR_n)의 클럭단에는 수평동기신호(Hsync)가 제공된다. 그리고, 제1열의 시프트 레지스터(SR_1)의 데이터 입력단에는 OLED 제어회로(40)에서 출력된 수직동기신호(Vsync)가 제공되며, 나머지의 시프트 레지스터(SR_1, \dots, SR_n)에 있어서는 임의 열의 시프트 레지스터(SR_y)의 출력은 스캔 출력부(32')의 해당 스캔 제어신호단(C_{SCAN})에 직결됨과 동시에 차열의 시프트 레지스터(SR_{y+1})의 데이터 입력단에 연결된다. 시프트 레지스터(SR_1, \dots, SR_n)는 부논리 회로로 구성, 즉 데이터 신호와 클럭신호의 하강엣지에서 동작하도록 구성되어 있다.

<64> 제어 로직부(36)는 2입력을 갖는 가지며 역시 공통 캐소드 라인의 수(n)만큼의 단위 XNOR 게이트($XNOR_1, \dots, XNOR_n$)로 이루어지는데, 각 열의 XNOR 게이트($XNOR_y$)의 일측 입력단은 해당 열의 시프트 레지스터(SR_y)의 출력단에 연결되고, 타측 입력단은 차열의

시프트 레지스터(SR_{y+1})의 출력단에 연결되고, 그 출력단은 스캔 출력부(32')의 해당 고임피던스 제어신호단(C_{HIZ})에 연결된다.

<65> 이하에는 본 발명의 OLED 패널 구동 장치의 동작을 그 방법과 함께 상세하게 설명한다.

<66> 도 11은 본 발명의 OLED 패널 구동 방법을 설명하기 위한 스캔 구동회로와 데이터 구동회로의 동작 타이밍도이다. 도 11에 도시한 바와 같이 수직동기신호(V_{sync})는 화면의 1프레임마다 발생하는데, 이러한 수직동기신호(V_{sync}) 사이의 수직주사구간에 공통 캐소드 라인의 개수(n) 만큼의 수평동기신호(H_{sync})가 발생하며, 수평동기신호(H_{sync}) 사이의 수평주사구간에 모든 공통 애노드 라인($D1, \dots, Dm$)에 동시에 데이터가 인가된다. 이를 보다 상세하게 설명하면, OLED 제어회로(40)에서 발생된 수직동기신호(V_{sync})가 스캔 구동회로(30')의 제1열의 시프트 레지스터($SR1$)의 데이터 입력단에 제공되고 이와 동시에 수평동기신호(H_{sync})가 그 클럭단에 제공되면, 제1열의 시프트 레지스터($SR1$)는 수직동기신호(V_{sync})와 수평동기신호(H_{sync})의 하강 엣지에서 동작하여 그 출력단, 즉 스캔 제어신호단(C_{SCAN})에 논리 "0"의 신호를 출력한다.

<67> 그리고, 이렇게 출력된 신호는 스캔 출력부(32')의 제1열의 스캔 제어신호단(C_{SCAN})에 제공됨과 동시에 제1열의 XNOR 게이트($XNOR1$)의 일측 입력단에 제공되는데, 제1열의 XNOR 게이트($XNOR1$)의 타측 입력단이 제2열의 시프트 레지스터($SR2$)의 출력단에 연결되어 있기 때문에 제1열의 XNOR 게이트($XNOR1$)의 출력단, 즉 고임피던스 제어신호단(C_{HIZ})으로 논리 "0"의 신호가 출력된다. 그리고, 이 시점에서 제2열 이하의

시프트 레지스터(SR_2, \dots, SR_n) 및 XNOR 게이트($XNOR_2, \dots, XNOR_n$)의 출력단에서는 모두 논리 "1"의 신호가 출력되게 된다.

<68> 이러한 스캔 제어신호(C_{SCAN})와 고임피던스 제어신호(C_{HIZ})의 상태에 따라 스캔 출력부(32')가 표 1의 진리표와 같이 동작하여 제1열의 공통 캐소드 라인(S_1)을 고임피던스 상태(HIZ), 즉 플로팅 상태에서 접지단(GND)으로 연결시키게 된다. 그리고, 이러한 제1열에 대한 수평주사구간에 수평동기신호(H1)에 동기하여 PWM 발생부(26)로부터 발생되는 외부 제어신호(PWM)의 제어에 따라 데이터 출력부(22')의 PMOSFET(PMT4)가 온되어 각각의 공통 애노드 라인(D_1, \dots, D_m)을 여기에 연결된 OLED(12)의 화소 구조에 따라 정해진 PWM 시간 동안 정전류원(CC)에 연결시킴으로써 OLED(12)를 발광시키고, 이후에는 PMOSFET(PMT4)가 오프되어 공통 애노드 라인(D_1, \dots, D_m)이 고임피던스 상태(HIZ)를 유지하게 된다.

<69> 한편, 제1열의 공통 캐소드 라인(S_1)이 선택된 동안에는 제2열 이하의 공통 캐소드 라인(S_2, \dots, S_n)은 고임피던스 상태(HIZ)를 유지하는데 이를 진리표로 나타내면 아래의 표 2와 같다. 또한, 표 2, 후술하는 표 3 및 표 4에서 이탤릭체로 표기된 부분은 현재 선택된 열을 나타낸다.

<70> 【표 2】

	SR 출력 (C_{SCAN})	XNOR 입력1	XNOR 입력2	XNOR 출력 (C_{HIZ})	S_y
제1열	0	0	1	0	GND
제2열이하	1	1	1	1	HIZ

<71> 다음으로, 전술한 방식으로 제2열의 공통 캐소드 라인(S_2)이 고임피던스 상태(HIZ), 즉 플로팅 상태에서 접지단(GND)에 연결되어 여기에 연결된 OLED(12)가 발광하게

되는데, 이 기간 동안 고임피던스 제어신호(C_{HIZ})와 스캔 제어신호(C_{SCAN})에 따라 스캔 출력부(32')가 제1열의 공통 캐소드 라인(S_1)을 고전압단(V_H)에 연결시킴으로써 여기에 연결된 OLED(12)의 기생 캐패시터(C)의 극성을 반전시킴으로써 OLED(12)의 열화를 방지(refresh)하게 된다. 이 동작을 진리표로 나타내면 아래의 표 3과 같다.

<72> 【표 3】

	SR 출력 (C_{SCAN})	XNOR 입력1	XNOR 입력2	XNOR 출력 (C_{HIZ})	S_y
제1열	1	1	0	0	V_H
제2열	1	1	1	1	GND
제3열이하	1	1	1	1	HIZ

<73> 다음으로, 제3열의 공통 캐소드 라인(S_3)이 접지단(GND)결되어 거기에 연결된 OLED(12)가 발광되는 동안에 제2열의 공통 캐소드 라인(S_2)은 고전압단(V_H)에 연결되어 거기에 연결된 OLED(12)의 기생 캐패시터(C)가 방전되고, 이 시점 이후부터 마지막 열의 공통 캐소드 라인(S_n)에 연결된 OLED(12)가 순차적으로 발광되는 동안에 제1열의 공통 캐소드 라인(S_1)에 연결된 OLED(12)는 외부 제어신호(C_{HIZ})에 의해 고임피던스 상태(HIZ)를 유지하게 된다. 이 동작을 진리표로 나타내면 아래의 표 4와 같다.

<74> 【표 4】

	SR 출력 (C_{SCAN})	XNOR 입력1	XNOR 입력2	XNOR 출력 (C_{HIZ})	S_y
제1열	1	1	1	1	HIZ
제2열	1	1	1	1	V_H
제3열	1	1	0	Off	GND
제4열이하	1	1	0	Off	HIZ

<75> 이와 같이, 본 발명의 OLED 패널 구동 방법에서는 임의의 공통 캐소드 라인(S_y)을 고임피던스 상태(HIZ)에서 접지 레벨(GND)로 순차적으로 스캔하는데, 차열의 공통 캐소

드 라인(S_{y+1})이 선택(스캔)되는 동안에 그 열의 공통 캐소드 라인(S_y)을 고전압단(V_H)에 연결시켜서 거기에 연결된 OLED(12)의 기생 캐패시터(C)의 극성을 반전시키고, 이후 차차열의 공통 캐소드 라인(S_{y+2})이 선택(스캔)된 시점 이후부터는 그 열의 공통 캐소드 라인(S_y)을 고임피던스 상태(HIZ)로 유지시키게 된다. 결과적으로, 본 발명의 OLED 패널 구동 방법에 따르면, OLED(12)의 애노드와 캐소드 간에 기생 캐패시터(C)가 형성되는 구간은 공통 캐소드 라인(S_y)이 고전압단(V_H) 또는 접지단(GND)에 연결된 상태뿐이고 고임피던스단(HIZ)에 연결된 상태에서는 기생 캐패시터 성분은 존재하지 않는다.

<76> 따라서, 본 발명의 OLED 구동 방법에서는 접지단(GND)에 연결된 1 개의 공통 캐소드 라인에 연결된 OLED와 고전압단(V_H)에 연결된 1 개의 공통 캐소드 라인에 연결된 OLED에만 기생 캐패시터 성분은 존재하기 때문에 종래와 같이 프리차지를 행하지 않고도 원하는 계조를 표현할 수 있고, 또한 그 소비 전력도 종래에 비해 $2/n$ 배로 낮출 수가 있다. 이를 수학식 2로 나타내면 아래와 같다.

<77> **【수학식 2】** $P_d = 2 * m * C * V_H^2 * f_{clk}$

<78> 위의 수학식 2에서 C는 OLED(12)에 존재하는 기생 캐패시터를, m은 공통 애노드 라인 수를, V_H 는 애노드에 인가되는 고전압을, f_{clk} 는 스캔 구동회로(30')의 동작 주파수를 각각 나타낸다. 예를 들어 128X160의 해상도를 가지는 OLED 패널 구동 장치의 경우에 OLED의 캐소드 라인의 수(n)가 160이기 때문에 소비전력을 1/80 배로 줄일 수 있다.

<79> 본 발명의 OLED 패널 구동 장치 및 방법은 전술한 실시예에 국한되지 않고 본 발명의 기술 사상이 허용하는 범위 내에서 다양하게 변형하여 실시할 수가 있다.

【발명의 효과】

<80> 이상에서 설명한 바와 같은 본 발명의 패널 OLED 구동 장치 및 방법에 따르면, 프리차지 방식을 사용하지 않으면서도 PWM 데이터 전류량만으로도 낮은 계조 처리가 가능하도록 하여 프리차지시 발생하는 소비 전력을 줄이고, 고속 동작이 가능하도록 하는 효과가 있다.

【특허청구범위】**【청구항 1】**

격자 형상으로 배치된 다수의 공통 애노드 라인과 다수의 공통 캐소드 라인의 각 교차점에 화소를 구성하는 OLED가 배치되어 이루어진 OLED 패널 구동 장치에 있어서,

상기 다수의 공통 애노드 라인에 연결되고, 상기 공통 애노드 라인의 각각을 소정의 정전류원 또는 고임피던스단(HIZ)에 선택적으로 연결하는 다수의 데이터 출력부를 갖는 데이터 구동회로 및

상기 다수의 공통 캐소드 라인에 연결되고, 상기 공통 캐소드 라인의 각각을 적어도 고임피던스단(HIZ) 또는 접지단에 선택적으로 연결하는 다수의 스캔 출력부를 갖는 스캔 구동회로를 포함하여 이루어진 것을 특징으로 하는 OLED 패널 구동 장치.

【청구항 2】

제 1 항에 있어서, 상기 스캔 출력부는 고전압단을 더 구비하여 상기 공통 캐소드 라인의 각각을 상기 고전압단, 상기 고임피던스단(HIZ) 또는 접지단에 선택적으로 연결하는 것을 특징으로 하는 OLED 패널 구동 장치.

【청구항 3】

제 2 항에 있어서, 수평동기신호, 수직동기신호 및 디스플레이될 데이터 신호를 포함하는 각종 신호를 발생시키는 OLED 제어회로를 더 구비한 것을 특징으로 하는 OLED 패널 구동 장치.

【청구항 4】

제 3 항에 있어서, 상기 스캔 구동회로는,

상기 스캔 출력부;

상기 공통 캐소드 라인에 대한 스캔 제어신호(C_{SCAN})를 발생시키는 시프트 레지스터부 및

상기 시프트 레지스터부에서 제공되는 상기 스캔 제어신호(C_{SCAN})를 논리적으로 처리하여 고임피던스 제어신호(C_{HIZ})를 발생시킨 후에 상기 스캔 출력부에 제공하는 제어로직부를 포함하여 이루어지는 것을 특징으로 하는 OLED 패널 구동 장치.

【청구항 5】

제 4 항에 있어서, 상기 스캔 출력부는,

입력단이 상기 고임피던스 제어신호단(C_{HIZ})에 연결된 인버터 게이트;

일측 입력단에 상기 스캔 제어신호단(C_{SCAN})이 연결되고, 다른 일측 입력단에는 상기 고임피던스 제어신호단(C_{HIZ})이 연결된 노어 게이트;

일측 입력단에 상기 스캔 제어신호단(C_{SCAN})이 연결되고, 다른 일측 입력단에는 상기 인버터 게이트의 출력단이 연결된 낸드 게이트;

상기 낸드 게이트의 출력단에 연결되어 논리 레벨을 상기 고전압 레벨로 변환시키는 제1 레벨시프터;

상기 노어 게이트의 출력단에 연결되어 논리 레벨을 상기 고전압 레벨로 변환시키는 제2 레벨시프터;

상기 제1 레벨시프터에 게이트가 연결되고 소스는 상기 고전압단에 연결된 제1 PMOSFET 및

상기 제2 레벨시프터에 게이트가 연결되고 드레인은 상기 제1 PMOSFET의 드레인에 연결되며 소스는 접지된 NMOSFET를 포함하여 이루어지며, 상기 공통 캐소드 라인은 상기 제1 PMOSFET와 상기 제1 NMOSFET의 드레인에 연결된 것을 특징으로 하는 OLED 패널 구동 장치.

【청구항 6】

제 4 항에 있어서, 상기 시프트 레지스터부는, 상기 공통 캐소드 라인의 개수만큼의 시프트 레지스터가 연결되어 이루어지며,

상기 시프트 레지스터 중 제1열의 시프트 레지스터의 데이터 입력단에는 상기 수직동기신호가 제공되고,

상기 시프트 레지스터 모두의 클럭단에는 상기 수평동기신호가 제공되며,

상기 시프트 레지스터의 임의 열의 출력은 상기 스캔 출력부의 해당 열의 스캔 제어신호단(C_{SCAN})에 연결됨과 더불어 차열의 시프트 레지스터의 데이터 입력단에 연결된 것을 특징으로 하는 OLED 패널 구동 장치.

【청구항 7】

제 6 항에 있어서, 상기 제어 로직부는 상기 공통 캐소드 라인의 개수만큼의 2입력 XNOR 게이트를 포함하여 이루어지고,

상기 XNOR 게이트의 각각의 일측 입력단은 해당 열의 상기 시프트 레지스터의 출력단에 연결되고, 각각의 타측 입력단은 차열의 상기 시프트 레지스터의 출력단에 연결되고, 출력단은 상기 스캔 출력부의 해당 열의 상기 고임피던스 제어신호단(C_{HIZ})에 연결된 것을 특징으로 하는 OLED 패널 구동 장치.

【청구항 8】

제 3 항에 있어서, 상기 데이터 구동회로는,

상기 데이터 출력부;

상기 OLED 제어회로로부터의 제어신호에 따라 상기 공통 애노드 라인에 인가될 데이터를 순차적으로 시프트시켜 저장하는 시프트 레지스터/래치부 및

상기 시프트 레지스터/래치부에서 제공되는 데이터를 상기 데이터의 계조 레벨에 따라 다른 시간폭을 갖는 제어신호(PWM)로 변환한 후에 상기 데이터 출력부에 제공하는 PWM 발생부를 포함하여 이루어진 것을 특징으로 하는 OLED 패널 구동 장치.

【청구항 9】

제 8 항에 있어서, 데이터 출력부는,

전류미러 회로를 구성하는 제2 및 제3의 PMOSFET;

상기 PWM 발생부로부터 제공되는 상기 제어신호(PWM)의 논리 레벨을 상기 고전압 레벨로 변환하는 제3 레벨시프터 및

상기 제3 레벨시프터에 의해 온/오프되어 상기 공통 애노드 라인을 상기 정전류원 및 상기 고임피던스단(HIZ)에 선택적으로 연결하는 제4 PMOSFET를 포함하여 이루어진 것을 특징으로 하는 OLED 패널 구동 장치.

【청구항 10】

제 9 항에 있어서, 상기 제4 PMOSFET가 오프된 상태에서 외부 제어신호(Reset)에 의해 온되어 상기 공통 애노드 라인을 접지시키는 제2 NMOSFET를 포함하여 이루어진 것을 특징으로 하는 OLED 패널 구동 장치.

【청구항 11】

격자 형상으로 배치된 다수의 공통 애노드 라인과 다수의 공통 캐소드 라인의 각 교차점에 화소를 구성하는 OLED가 배치되어 이루어진 OLED 패널의 구동 방법에 있어서,

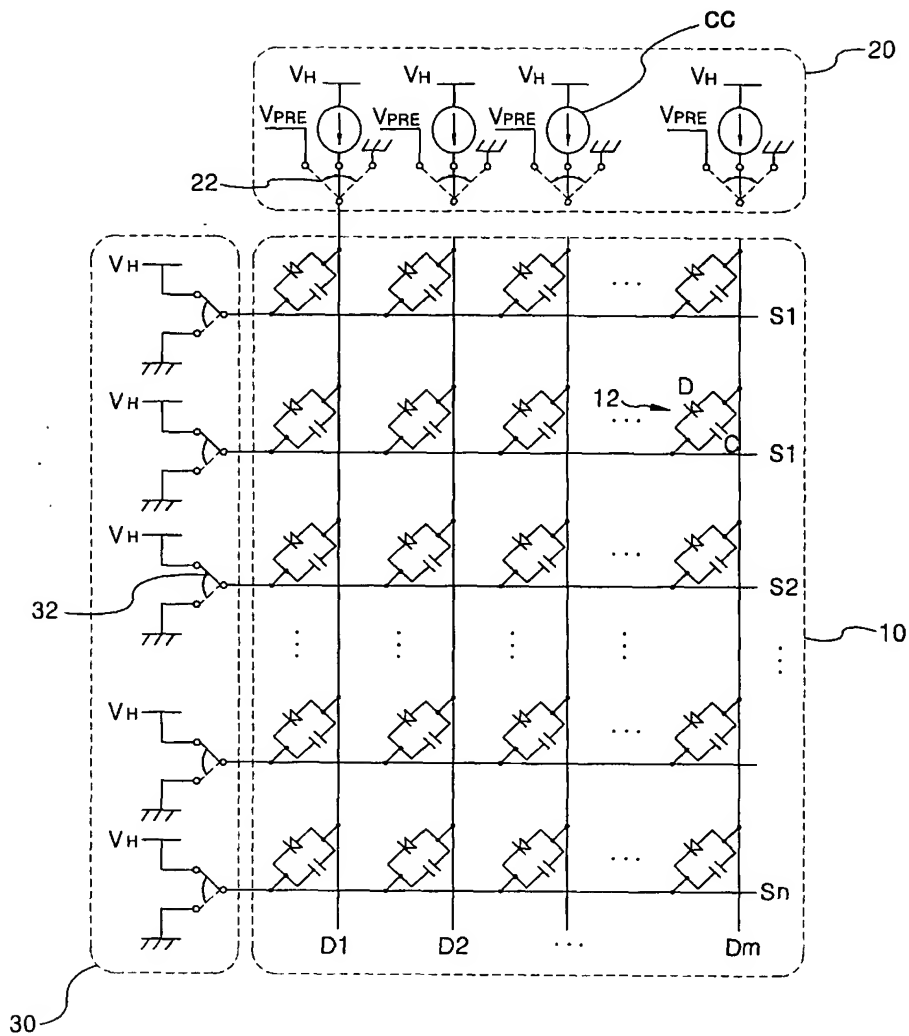
상기 공통 캐소드 라인을 접지 레벨(GND)로 전환하여 순차적으로 스캔하는 동안 디스플레이될 화소 데이터의 계조 레벨에 따라 다른 시간폭을 갖는 제어신호(PWM)에 의해 상기 공통 애노드 라인에 정전류를 인가하는 과정에서, 현재 스캔되는 열을 제외한 나머지 열의 공통 캐소드 라인은 고임피던스 상태로 유지시키는 것을 특징으로 하는 OLED 패널의 구동 방법.

【청구항 12】

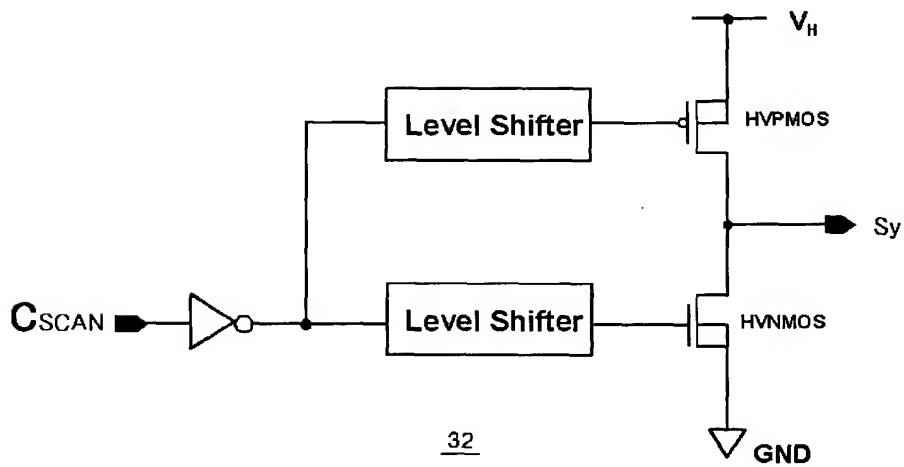
제 11 항에 있어서, 상기 현재 스캔되는 열의 바로 전 열을 고전압단에 연결시키는 것을 특징으로 하는 OLED 패널의 구동 방법.

【도면】

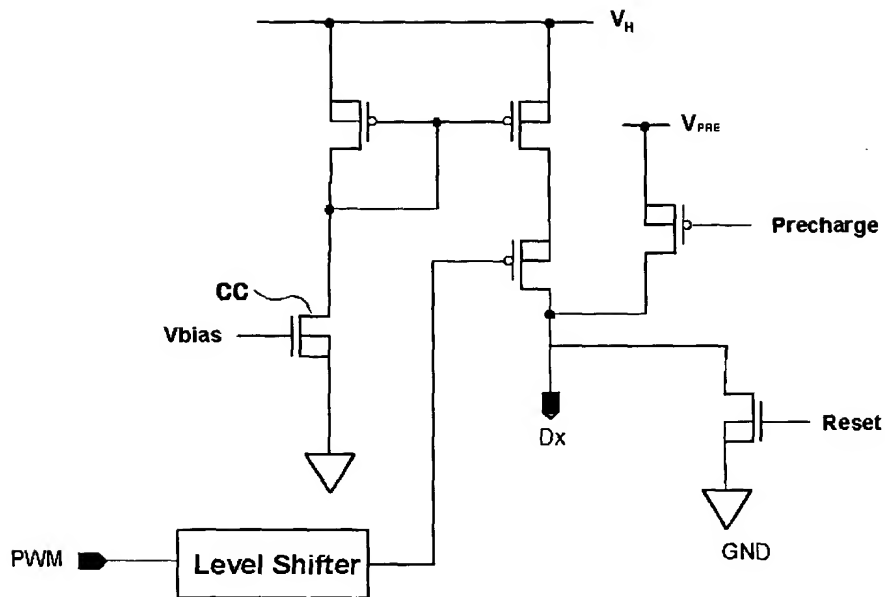
【도 1】



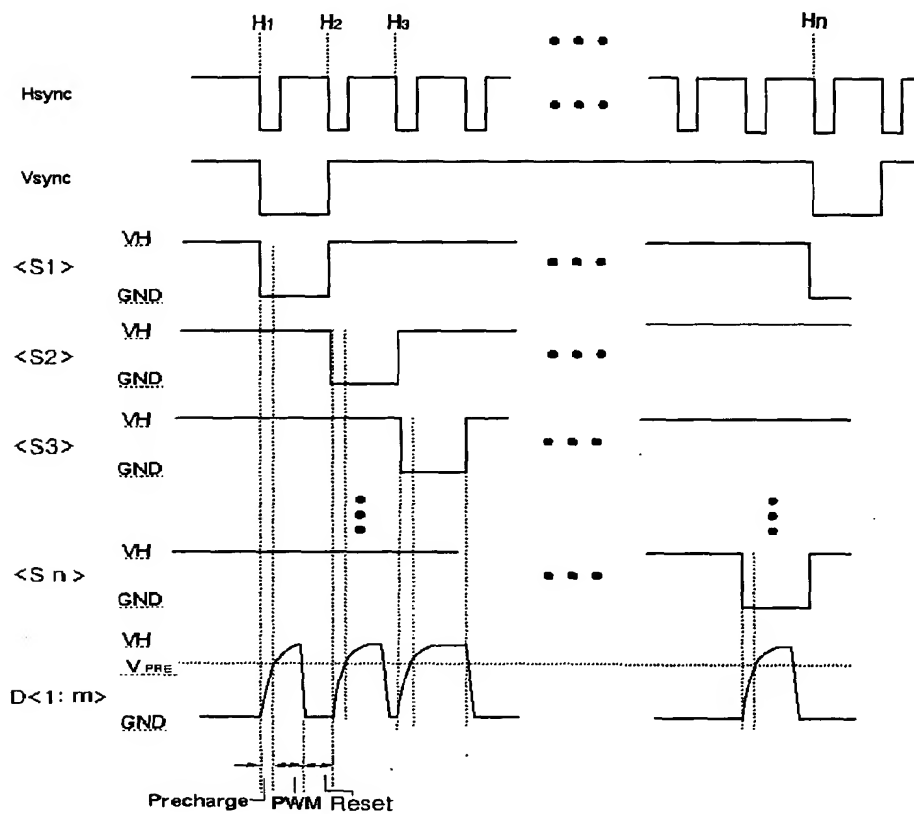
【도 2】



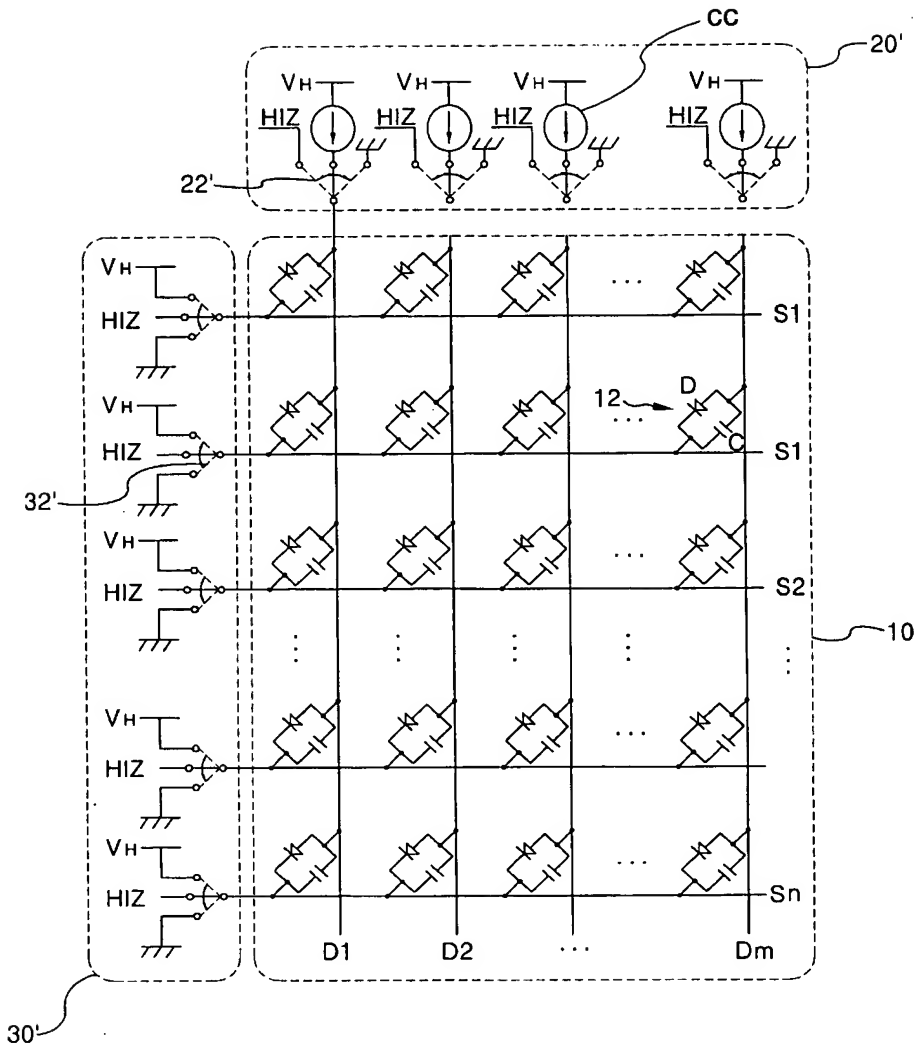
【도 3】



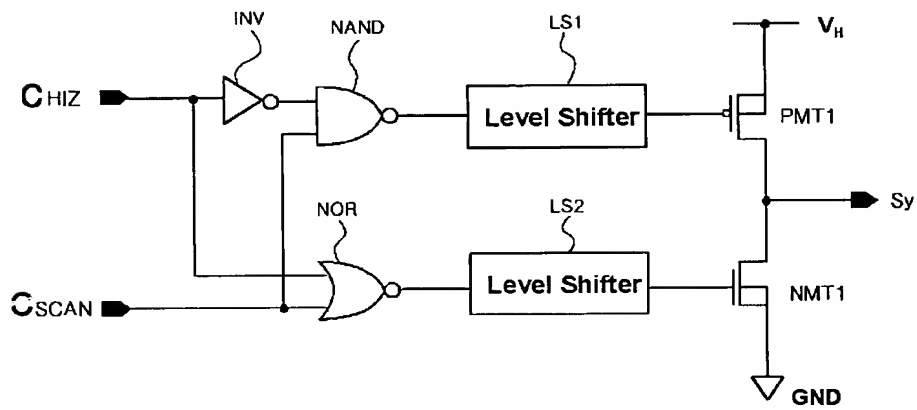
【도 4】



【도 5】

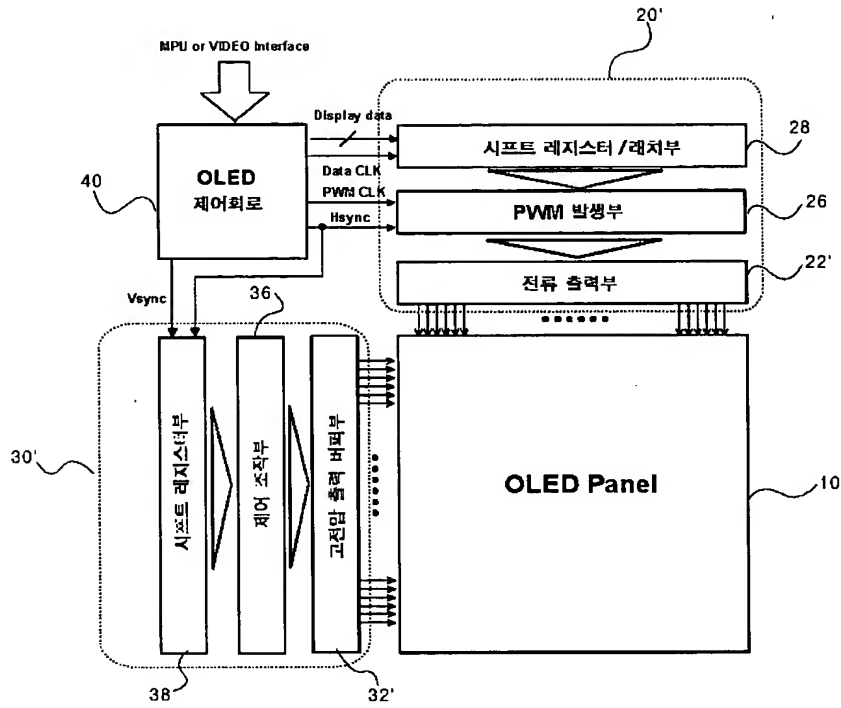


【도 6】

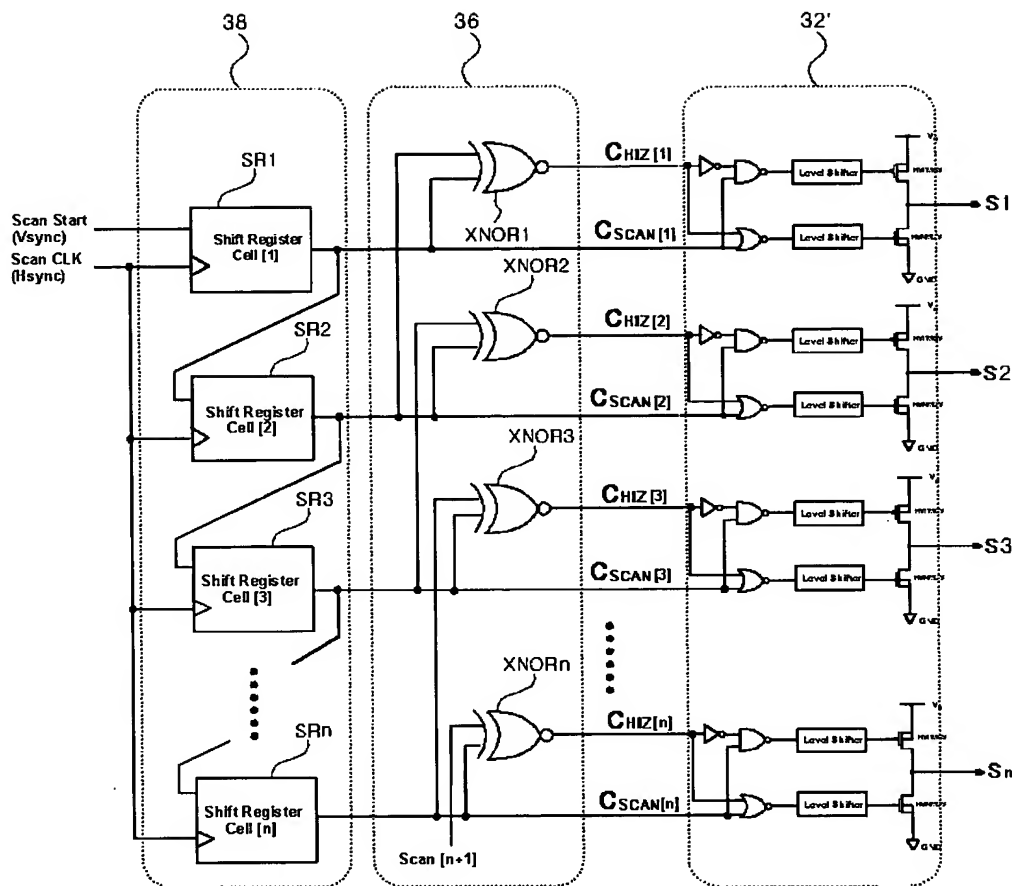


The circuit diagram illustrates a 1T1R1B1A1S1 memory array element. It features two input signals, C_{HIZ} and C_{SCAN}, which are processed by logic gates (INV, NAND, NOR) to generate control signals for the access transistor (AT) and storage transistor (ST). The AT is connected to the wordline (WL) and the ST is connected to the bitline (BL). The output signal S_y is generated by the combination of the AT and ST.

【도 9】



【도 10】



【도 11】

